

Protective coating for wafers used in prodn. of chips etc

Patent number: DE4435120
Publication date: 1996-04-04
Inventor: TILGNER RAINER DIPL PHYS DR (DE); HOUDEAU
DETLEF DIPL ING DR (DE); LOESCH HARALD DIPL
ING (DE); PAPE HEINZ DIPL PHYS (DE)
Applicant: SIEMENS AG (DE)
Classification:
- **international:** H01L23/28; C30B33/00; C09D179/08; C09D175/14
- **european:** C09D179/08, H01L23/31P6
Application number: DE19944435120 19940930
Priority number(s): DE19944435120 19940930

Abstract of DE4435120

A protective coating for wafers protects the structured face of the wafer from the mechanical and chemo-mechanical effects of the moulding compsn. used to encapsulate the wafer in a casing. The coating material has good short-term resistance to high temp., and consists of at least two layers of the same hardenable plastic (I), of which the layer on or nearer to the wafer has higher values for elastic modulus and hardness and lower values for elongation and water permeability than the second layer or a layer further from the wafer. Also claimed is a process for the prodn. of the protective coating, by applying a first layer of (I) to the wafer, subjecting the layer to controlled hardening by irradiation with UV to produce a high degree of crosslinking and corresp. high values of modulus and hardness, then applying a second layer of (I) and UV-hardening this to a lower degree of crosslinking.

Data supplied from the **esp@cenet** database - Worldwide

Protective coating for wafers used in prodn. of chips etc

Description of DE4435120

Der Trend in der Entwicklung von integrierten Schaltungen (IC) und entsprechenden IC-Gehäusen geht seit einigen Jahren in Richtung von höherer Integration, höheren Anschlusszahlen und geringerer Bauhöhe. So wird ständig eine Weiterentwicklung von Gehäusen für integrierte Schaltungen bzw. Chips betrieben. So sind die sogenannten TSOP-Gehäuse zu den UTSOP-Gehäusen (Ultra Thin Small Outline Packages) weiterentwickelt worden. Dies wird in der folgenden Literaturstelle beschrieben - Nakagawa O. et al. J. of Electronic Material; Vol. 18, Nr. 5 (1989), S. 633. Die erwähnten UTSOP-Gehäuse konnten derart weiterentwickelt werden, dass eine Gehäusedicke von 0,45 mm und eine Montagehöhe von 0,5 mm erzielt wurde. Eine weitere ähnliche Entwicklung zeichnet sich auch bei QFP-Gehäusen ab (Quad Flat Package; Gehäuse mit vier Reihen abgebogener Anschlüsse, in der Regel für die Oberflächenmontage), so sind bereits Veröffentlichungen bekannt, in denen QFP-Entwicklungen mit einer Dicke von 0,8 mm vorgestellt werden.

In einigen Anwendungsfällen, wie beispielsweise bei ASIC (Application Specific Integrated Circuit) und bei Speicherbausteinen wird nach Abschluss der planartechnisch erzeugten Vorderseitenstrukturierung und vor dem Vereinzeln (Dicing) und dem Montieren (Diebonding) eine Kunststoffschuttschicht aufgebracht, die über Masken in der Regel photolithographisch strukturiert wird. Sie stellt einen mechanischen Schutz für die Handhabung der Wafer, sowie einen chemomechanischen Schutz gegenüber der Pressmasse (MC, Molding Compound) nach dem Umhüllen und Abkühlen bzw. der feuchten Lagerung dar. Nach dem Beschichten und der foto- bzw. ätztechnischen Strukturierung bleiben üblicherweise die Ritzrahmen mit den Test<DP N=2>strukturen, sowie die elektrischen Anschlüsse (Pads) unbedeckt.

Als Schutzschichtmaterial kommt beispielsweise ein Polyimid zum Einsatz. Es erfüllt die Anforderungen hinsichtlich einer hohen Glasktemperatur (Temperatur bei der ein Stoff vom weichen in den spröden Zustand übergeht) bzw. Schmelztemperatur, eines hohen Isolationswiderstandes (ASTM 150, American Society for Testing and Materials), eines geringen Schrumpfes (ASTM D2863-77) und eines geringen Elastizitätsmoduls (ASTM 882-69). Weniger gut ist die thermische Ausdehnung, die mit 27 ppm/K bei 20 DEG C gegenüber dem beschichteten Siliziumchip um über eine Zehnerpotenz höher liegt, obwohl dieser Wert im unteren Feld der hochtemperaturbeständigen Kunststoffe liegt. Ein weiterer Nachteil von Polyimid besteht in der relativ hohen Wasseraufnahmefähigkeit. Diese liegt zwischen 1,3 und 2,9% nach US-Federal Test Nr. 406. Der Wert wird durch den Grad der Vernetzung des Polyimides eingestellt. Je höher der Grad der Vernetzung ist, desto geringer wird die Fähigkeit zur Wasseraufnahme. Mit der Erhöhung des Vernetzungsgrades verändert sich Polyimid von hellorange bis dunkelbraun. Je dunkler die Schutzschicht ist, desto weniger können die aktiven Strukturen auf dem Chip erkannt werden. Bei dunklen Polyimidschichten ist daher eine geringere Schichtdicke (2-5 μm) und bei helleren eine höhere Schichtdicke (5-10 μm) erforderlich bzw. vorteilhaft. Die hohe Materialsteifigkeit und die hohe thermische Kontraktion nach dem Umspritzen (Moulding) und der Abkühlung auf Raumtemperatur und darunter erzeugen aufgrund der dilatthermischen Fehlanpassung (thermisch bedingte Längenänderungen) relativ zum Chip eine mechanische Verspannung. Dabei besteht der Chip in der Regel aus dotiertem Silizium in Kombination mit Multilayern aus Phosphorsilikatglas, Si_3N_4 und strukturierten Aluminiumleiterbahnen an der Oberfläche. Zusätzlich wirken hydrodynamische Drücke nach dem Moulding auf die elektrisch aktiven Strukturen, wodurch Risse in den Leiterbahnen, sowie lokale Abplatzungen der Passivierungsschicht auftreten und zum frühzeitigen Verschleiss bzw. zum frühzeitigen funktionellen Ausfall, beispielsweise in einem ersten Testlauf, führen können.

Der Erfindung liegt die Aufgabe zugrunde, eine Schutzschicht für Wafer zu beschreiben, deren Materialkennwerte insgesamt einen mechanischen und chemomechanischen Schutz für die Strukturen des Chips gegenüber der umhüllenden Pressmasse bietet. Des weiteren soll ein Verfahren zur Herstellung einer derartigen Schutzschicht bereitgestellt werden. Die Lösung dieser Aufgaben geschieht durch die Merkmale des Anspruchs 1 bzw. des Anspruchs 6.

Der Erfindung liegt die Erkenntnis zugrunde, dass durch eine Aufteilung der Schutzschicht in mindestens zwei übereinanderliegende Schichten die gewünschten Anforderungen an die Gesamtschicht bezüglich der Materialkennwerte erzielbar sind. Dabei wird eine funktionelle Aufteilung der Schutzschicht in zwei Bereiche (Dual-Coating) vorgenommen: Eine erste direkt auf dem Chip aufgebrachte harte Schicht ist hydrophob, d. h. wasserabweisend und eine zweite darüberliegende Schicht ist duktil, d. h. ausreichend weich, um mechanische Spannungen abzufangen. Insgesamt wird berücksichtigt, dass Polymere typischerweise einen hohen thermischen Ausdehnungskoeffizienten aufweisen. Die bei einem Temperaturwechsel in einer Struktur dadurch sekundär auftretenden mechanischen Spannungen zwischen Pressmasse und aktiver Struktur können an sich nur durch Herabsetzung des Elastizitätsmoduls

des Kunststoffes abgebaut werden. Eine Verringerung des Elastizitätsmodules in einem weiten Temperaturbereich bedeutet aber zwangsläufig eine erhöhte Wasserdampfdurchlässigkeit bzw. -aufnahme. Durch den Einsatz mindestens zweier oben beschriebener Schichten wird ein Kompromiss dargestellt, wobei eine Schicht eine wesentliche Wasserdurchlässigkeit aufweist und die andere Schicht entsprechend mechanische Spannungen abbauen kann.

Die jeweilige Ausgestaltung der mindestens zwei vorhandenen Teilschichten geschieht durch die Steuerung des Vernetzungsgrades der einzelnen Schichten. Das Material wird in der Regel nicht voll vernetzt, sondern beispielsweise zu einem Prozentsatz zwischen 2 und 50%. Dies wird gesteuert durch die Bestrahlungszeit, in der ein im Kunststoff enthaltender Photoinitiator entsprechend aktiviert wird. Bei Erreichen der gewünschten Werkstoffeigenschaften wird die Bestrahlung abgebrochen.

Die Bestrahlung geschieht in vorteilhafter Weise durch UV- Licht, dessen Wellenlänge im speziellen zwischen 280 und 380 nm liegt. Dieser Wellenlängenbereich der UV-Strahlung liefert die aktinische, d. h. wirksam den im Kunststoff enthaltenen Photoinitiator aktivierende Strahlung.

Weitere vorteilhafte Ausgestaltungen sind den Unteransprüchen zu entnehmen.

Im folgenden wird ein Ausführungsbeispiel beschrieben:

Die Schutzschicht ist in diesem Ausführungsbeispiel in zwei Schichten unterteilt. Die erste direkt auf dem Chip aufgetragene Schicht ist hoch vernetzt und die darüberliegende zweite Schicht ist niedrig vernetzt. Beide Schichten werden in Stufen nacheinander aufgebracht. Beide Schichten werden jeweils nach ihrem Aufbringen gezielt polymerisiert. Der Vernetzungsgrad wird durch die Strahlungsintensität (UV-B) eingestellt. Da beide Materialien einen ähnlichen chemischen Aufbau besitzen, ist eine hohe Haftung möglich. Neben der Behandlung des genannten Polyimids ist das Verfahren des Dual- Coatings grundsätzlich mit anderen Kunststoffen anwendbar, sofern sie kurzzeitig hochtemperaturbeständig sind. So können beispielsweise auch Acrylate, insbesondere Polsurethanacrylat, zum Einsatz kommen. Die Acrylate werden nicht nur zur Viskositätssteuerung für die einzelnen Schichten, sondern auch als reaktive Vernetzungsharze eingesetzt. Auch hier erfolgt die Vernetzung (additiv) mit aktinischen UV-Strahlen.

Die Materialkennwerte der Schichten werden derart eingestellt, dass folgende Beziehung berücksichtigt wird:

EMI5.1

Die Materialkennwerte werden derart eingestellt, dass die erste Schicht, die direkt auf dem strukturierten Siliziumwafer aufgebracht ist, bei der Verwendung von Polyurethanacrylat folgende Kennwerte aufweist:

Elastizitätsmodul: 600 bis 1000 N/mm²

Shore-Härte: 50 D bis 60 D

nach DIN 53505 (Deutsche Industrie Norm)

Dehnung: 10 bis 15%

Wasserpermeabilität: < 0,005 g/m² bei 20 DEG C

Glastemperatur: kleiner 0 DEG C

Entsprechend gilt für die zweite darüberliegende Schicht:

Elastizitätsmodul: kleiner als 10 N/mm²

Dehnung: grösser 150%

Shore-Härte: kleiner, als in der ersten Schicht

Wasserpermeabilität: grösser, als in der ersten Schicht

Die beiden Schichten sind in ihrer Schichtdicke vorzugsweise gleichstark. Die Schichtdicke eines Acrylates kann dabei gegenüber einer Polyimidschicht grundsätzlich grösser gewählt werden, da keine farbliche Veränderung des Polymeres mit variablem Vernetzungsgrad bzw. unterschiedlicher Wasseraufnahme erfolgt. Die Kurzzeitemperaturbelastbarkeit beträgt 300 DEG C für einige Minuten bis zu 500 DEG C/10 s. Somit sind alle wesentlichen Materialeigenschaften in der Gesamtschicht enthalten und ein unter dieser Schutzschicht liegendes Si₃N₄, das sehr feuchteempfindlich ist, kann ausreichend geschützt werden. Des weiteren wird die Feuchtigkeitsaufnahme insgesamt erniedrigt, so dass Schäden aufgrund von eingeschlossenem und verdampfendem Wasser eliminiert werden. Durch die Zwei- oder Mehrfachunterteilung der Schutzschicht für Wafer kann in der Schutzschicht insgesamt durch die entsprechende Steuerung der gewünschten Materialkennwerte gleichzeitig für den Abbau thermisch erzeugter mechanischer Spannungen gesorgt werden.

Es ist ebenso möglich, eine Mehrzahl von Schichten mit jeweils gegeneinander abgestuften Eigenschaften übereinander anzuordnen und eine Schutzschicht zu bilden.

Der Einsatz einer derartigen Schutzschicht ist unabhängig von der Montageart der integrierten Schaltung möglich.

Data supplied from the *esp@cenet* database - Worldwide

Protective coating for wafers used in prodn. of chips etc

Claims of DE4435120

1. Schutzschicht für Wafer, die den vorderseitig strukturierten Wafer mechanisch und chemomechanisch gegenüber der den Wafer zur Herstellung eines Gehäuses umhüllenden Pressmasse schützt und aus einem kurzzeitig hochtemperaturbeständigen Kunststoff besteht, wobei
 - die Schutzschicht aus mindestens zwei übereinanderliegenden Schichten des gleichen aushärtbaren Kunststoffes besteht, und
 - die direkt auf dem strukturierten Wafer vorhandene Schicht bzw. die näher zum Wafer positionierte Schicht höhere Werte bezüglich Elastizitätsmodul und Härte und niedrigere Werte bezüglich Dehnung und Wasser-Permeabilität aufweist, als die darüberliegende zweite Schicht bzw. eine vom Wafer entfernter liegende Schicht.
2. Schutzschicht nach Anspruch 1, dadurch gekennzeichnet, dass die Schutzschicht aus einem mittels UV-Strahlung aushärtbaren Kunststoff besteht.
3. Schutzschicht nach Anspruch 2, dadurch gekennzeichnet, dass die Schutzschicht aus Polyimid besteht.
4. Schutzschicht nach Anspruch 2, dadurch gekennzeichnet, dass die Schutzschicht aus einem Acrylat besteht.
5. Schutzschicht nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass bei einer Aufteilung der Schutzschicht in zwei Schichten die Schichtdicke jeder einzelnen Schicht ungefähr 50% beträgt.
6. Verfahren zur Herstellung einer Schutzschicht entsprechend einem der Ansprüche 2 bis 5, wobei
 - eine erste Schicht direkt auf den strukturierten Wafer aufgebracht wird,
 - die Aushärtung dieser ersten Schicht derart mittels wirksamer UV-Strahlung gesteuert wird, dass in dieser ersten Schicht ein hoher Vernetzungsgrad vorliegt und entsprechend hohe Werte bezüglich Elastizitätsmodul und Härte erzeugt werden,
 - eine zweite Schicht auf der ersten Schicht aufgebracht wird,
 - die Aushärtung dieser zweiten Schicht derart mittels wirksamer UV-Strahlung gesteuert wird, dass in dieser zweiten Schicht ein wesentlich niedrigerer Vernetzungsgrad vorliegt, als in der ersten Schicht und niedrigere Werte bezüglich Elastizitätsmodul und Härte erzeugt werden.
7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass die Schutzschicht insgesamt aus Polyurethanacrylat besteht, die erste hochvernetzte Schicht ein Elastizitätsmodul von 600 bis 1000 N/mm², eine Shore-Härte von 50 D bis 60 D, eine Dehnung von 10 bis 15% und eine Wasserpermeabilität von 0,005 g/m² bei 20 DEG C aufweist und die zweite Schicht ein Elastizitätsmodul von weniger als 10 N/mm², eine Dehnung von über 150%, eine geringere Härte und eine höhere Wasserpermeabilität im Verhältnis zur ersten Schicht aufweist.

Data supplied from the esp@cenet database - Worldwide